



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09224194 A**(43) Date of publication of application: **26.08.97**

(51) Int. Cl.

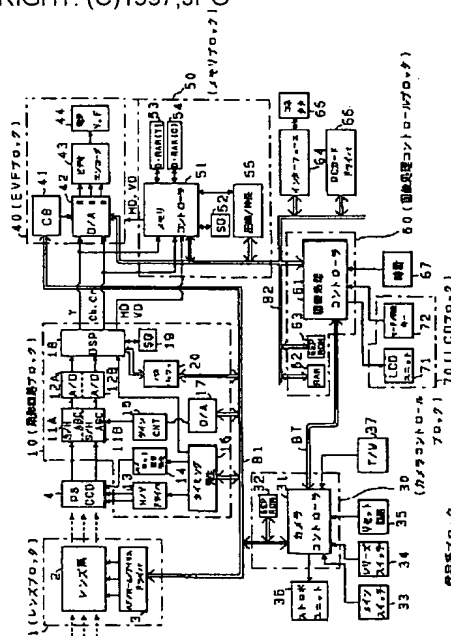
H04N 5/335(21) Application number: **08052634**(71) Applicant: **SONY CORP**(22) Date of filing: **16.02.96**(72) Inventor: **SHIMOKAWA HIROSHI****(54) PHOTOGRAPHING DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To generate image data for real-time monitor and image data for recording through a circuit system, for which no field memory is used, and to simplify configuration by adopting a photoelectric transducing means for attaining frame reading without requiring any mechanical shutter.

SOLUTION: The image of light beam made incident through a lens system 2 is formed onto a CCD solid-state imaging device (CCD) 4 as a photoelectric transducing element. When performing monitor display at this device, the photoelectric transducing means (CCD 4) is let execute the image data output operations of two systems and a photographed image processing means is let execute the generating operation of monitor image data corresponding to the image data inputs of two systems. Besides, when executing a recording operation, the photoelectric transducing means is let execute the image data output operation of one system and the photographed image processing means is let execute the generating operation of recording image data corresponding to the image data input of one system. Namely, at the time of photographing, image data are

line-sequentially read out of the photoelectric transducing means.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-224194

(43)公開日 平成9年(1997)8月26日

(51)IntCl.⁶

H04N 5/335

識別記号

庁内整理番号

F I

H04N 5/335

技術表示箇所

P

審査請求 未請求 請求項の数2 F D (全18頁)

(21)出願番号 特願平8-52634

(22)出願日 平成8年(1996)2月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 下川 宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

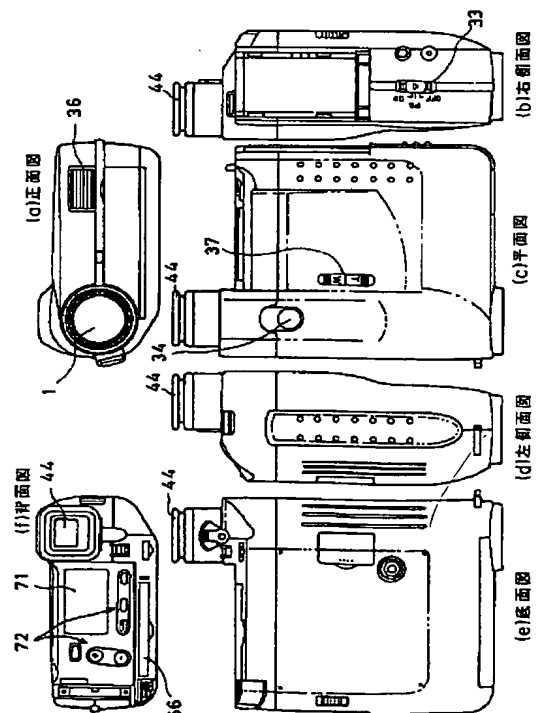
(74)代理人 弁理士 脇 篤夫 (外1名)

(54)【発明の名称】 撮影装置

(57)【要約】

【課題】 メカシャッターを必要とせずにフレーム読出が可能となるCCDを採用するとともに、フィールドメモリを用いない回路系でリアルタイムモニタ用の画像データと記録用の画像データを生成可能とし構成の簡略化を計る。

【解決手段】 モニタ表示を行なう際は、光電変換手段に2系統の画像データ出力動作を、撮影画像処理手段には、2系統の画像データ入力に応じてモニタ画像データの生成動作を実行させる。また記録動作を実行させる際には、光電変換手段に1系統の画像データ出力動作を実行させ、撮影画像処理手段には、1系統の画像データ入力に応じて記録画像データの生成動作を実行させるようにする。つまり、撮影時には光電変換手段からライン順次に画像データを読み出させるようにすることで、フィールドメモリを用いなくてもノンインターレース画像データを生成可能とする。



【特許請求の範囲】

【請求項1】 露光された1フレーム分の画像データを2系統の出力によりn期間で読み出す動作と、露光された1フレーム分の画像データを1系統の出力により2n期間で読み出す動作とを切り換えることができる光電変換手段と、
前記光電変換手段から出力された画像データに対して所定の処理を行ない、モニタ画像データとして出力し、さらに記録媒体に記録するための記録画像データとして出力することができる撮影画像処理手段と、
前記撮影画像処理手段から供給されるモニタ画像データにより表示出力動作を行なうことができるモニタ手段と、
前記撮影画像処理手段から供給される記録画像データを記録媒体に記録することができる記録手段と、
前記モニタ手段においてモニタ表示を行なう際には、前記光電変換手段に2系統の画像データ出力動作を実行させ、前記撮影画像処理手段には、2系統の画像データ入力に応じてモニタ画像データの生成動作を実行させるとともに、前記記録手段において記録動作を実行させる際には、前記光電変換手段に1系統の画像データ出力動作を実行させ、前記撮影画像処理手段には、1系統の画像データ入力に応じて記録画像データの生成動作を実行させるように制御を行なう制御手段と、
を備えて構成されたことを特徴とする撮影装置。

【請求項2】 前記制御手段は、前記光電変換手段に1系統の画像データ出力動作を実行させている間は、前記モニタ手段の表示出力をミュートすることを特徴とする請求項1に記載の撮影装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は例えばデジタルスチルカメラといわれるように、光電変換素子により画像データを取り込み、撮影画像データとして記録媒体に記録できる撮影装置に関するものである。

【0002】

【従来の技術】CCD2次元固体撮像素子を用いたいわゆる電子カメラ（デジタルスチルカメラ）が知られている。このような電子カメラはCCD固体撮像素子で取り込んだ静止画の画像データを例えばメモリカードや磁気ディスク、光磁気ディスクなどの記録媒体に撮影画像データとして記憶させることで、通常のカメラのようなフィルムを不要としている。

【0003】例えば撮影時にはCCD固体撮像素子で取り込まれる被写体側の情景をビューファインダーに再生出力させる。ユーザーはビューファインダーからの画像を確認して撮影操作を行なうと、その際に取り込まれる画像データが撮影画像として記録媒体に記録される。記録媒体に取り込んだ撮影画像データはビューファインダーに再生出力させたり、外部のテレビジョンモニター機

器、コンピュータ機器に出力して撮影写真のように表示させることなどができるようにされる。

【0004】

【発明が解決しようとする課題】ところで、従来のデジタルスチルカメラにおいては光電変換素子としてインターライントランスファー型（IT型）のCCD固体撮像素子を用いることが多かった。図9にIT型のCCD固体撮像素子の構成を示す。図9に示すように、CCD固体撮像素子120Aは、垂直方向と水平方向にマトリクス状に配列され入射光量に応じた信号電荷を蓄積する複数のセンサ部121と、これらのセンサ部121の垂直列ごとに配列されて各センサ部121から読み出された信号電荷を垂直転送する複数の垂直転送レジスタ122とにより、イメージ部である撮像領域123が形成されている。

【0005】センサ部121に蓄積された信号電荷は、駆動回路130から図示せぬ読出ゲートに電荷読出パルスXSGが印加されることによって垂直転送レジスタ122に読み出される。各垂直転送レジスタ122は垂直転送クロックΦVによって転送駆動される。

【0006】図面上での撮像領域123の下側には、複数の垂直転送レジスタ122から1走査線に相当する信号電荷が順次転送される水平転送レジスタ124が配置されている。水平転送レジスタ124は水平転送クロックΦHによって転送駆動される。水平転送レジスタ124の端部には電荷検出部125が配され、水平転送されてきた信号電荷はこの電荷検出部125で順次電気信号に変換される。そして出力アンプ126で増幅され、端子127から被写体からの光量に応じたCCD出力として導出される。このようなIT型CCD固体撮像素子120Aでは、電子シャッターを用いるフィールド読出と、メカニカルシャッターを用いるフレーム読出のいずれかを採用することができる。

【0007】図面上で撮像領域123の右側に示すように、各ラインを便宜的にO1、E1、O2、E2……とよぶとする。『O*』は奇数ライン、『E*』は偶数ラインを示す。フィールド読出の場合は、各センサ部121からフィールド単位で垂直転送レジスタへの電荷読出を行ない、1ライン分の画像データは奇数ラインと偶数ラインの和により生成される。即ち、1/30秒の奇数フィールド期間には、(O1+E1)、(O2+E2)、(O3+E3)……、1/30秒の奇数フィールド期間には(E1+O2)、(E2+O3)、(E3+O4)……、というように画像データが出力される。

【0008】一方、フレーム読出の場合は、各センサ部からの電荷は1フレームに1回垂直転送レジスタへ読み出される。即ち、奇数フィールド期間には、O1、O2、O3……というように奇数ラインのみによる画像データが出力され、奇数フィールド期間にはE1、E

2、E3……、というように偶数ラインのみによる画像データが出力される。

【0009】デジタルスチルカメラでは通常、限られたCCD画素数を有効に生かすため、垂直解像度を高くすることができるフレーム読出が採用されることが多い。ところが、一般的なIT型CCD固体撮像素子では、メカニカルシャッターを搭載しないかぎり、動体を写し止めることができないことが知られている。つまり、図10に示すように1/60秒期間ごとに斜線部で示すようにメカニカルシャッターによる遮光を行なう。遮光されていない期間が露光期間となる。そして、 T_{od} で示すタイミングで奇数ラインのセンサ部121からの読出を行ない、また T_{ev} で示すタイミングで偶数ラインのセンサ部121からの読出を行なうようにする。このようにすることで、奇数ラインと偶数ラインのセンサ部において同時期間に露光した画像データが得られることになる。しかしながら、メカニカルシャッターを搭載することで、その耐久性についての問題が生じ、また機構の複雑化も発生する。

【0010】そこで近年、メカニカルシャッターが無くてもフルフレーム読出が可能なCCD固体撮像素子が開発された。これはPS-CCD(Progressive Scan CCD Image Sensor; 全画素読出方式CCD)と呼ばれ、例えば図11のように構成される。

【0011】即ちこのPS-CCD固体撮像素子120Bは、図9のCCD固体撮像素子120Aとほぼ同様に垂直及び水平方向にマトリクス状にセンサ部121が配置され、撮像領域123が形成されるが、2系統の水平転送レジスタ124a、124bを備える。またこれにともなって電荷検出部125a、125b、出力アンプ126a、126b、端子127a、127bが配される。

【0012】この場合、奇数ライン(O1、O2……)の信号電荷と偶数ライン(E1、E2……)の信号電荷とをそれぞれ別の水平転送レジスタ124a、124bにより同時に水平転送することで、2チャンネル出力として、1/60秒である1H(Hは水平走査期間)内に1フレーム分の信号電荷を読み出すようにしたものである。このような方式により、露光周期毎に1フレームを構成する全ての画素の情報を読みだすことができる。

【0013】しかしながら、このようなPS-CCD固体撮像素子120Bをデジタルスチルカメラに採用すると、信号処理系において2枚分のフィールドメモリが必要になり、回路型の複雑化及びコストの増大という問題が発生する。デジタルスチルカメラではCCD固体撮像素子から取り込まれた画像データを、ビューファインダーによるリアルタイムモニタ用の画像データとして用いるとともに、撮影時には記録用の画像データとして用いなければならない。ビューファインダーによるリアルタ

イムモニタについては、ビューファインダーに対していわゆるインターレース画像信号を供給すればよく、この場合2チャンネルで同時に得られる奇数ライン画像データと偶数ライン画像データから、フィールド画像を構成するインターレース画像信号を生成することは可能であるが、記録画像データはノンインターレース信号とされることからフィールドメモリが必要になる。つまり同時に供給される奇数ライン画像データと偶数ライン画像データをそれぞれフィールドメモリに一旦蓄積し、そのフィールドメモリから1ライン毎にデータを読み出すようにしなければノンインターレース画像データを生成することができないためである。

【0014】

【課題を解決するための手段】本発明はこのような問題点を鑑みて、撮影装置において、メカニカルシャッターを必要とせずにフレーム読出が可能となる光電変換手段を採用することにより耐久性の向上や機構の簡略化を計るとともに、フィールドメモリを用いない回路系でリアルタイムモニタ用の画像データと記録用の画像データを生成できるようにすることで、回路構成の簡略化、及びコストダウンを計ることを目的とする。

【0015】このため、光電変換手段は、露光された1フレーム分の画像データを2系統の出力によりn期間で読み出す動作と、露光された1フレーム分の画像データを1系統の出力により2n期間で読み出す動作とを切り換えることができるものを用いる。そして、モニタ手段においてモニタ表示を行なう際には、光電変換手段に2系統の画像データ出力動作を実行させ、撮影画像処理手段には、2系統の画像データ入力に応じてモニタ画像データの生成動作を実行させ、また記録手段において記録動作を実行させる際には、光電変換手段に1系統の画像データ出力動作を実行させ、撮影画像処理手段には、1系統の画像データ入力に応じて記録画像データの生成動作を実行させるように制御を行なう制御手段を設ける。つまり、撮影時には光電変換手段からライン順次に画像データを読み出させるようにすることで、フィールドメモリを用いなくてもノンインターレース画像データを生成することができるようにする。

【0016】

【発明の実施の形態】以下、本発明の撮影装置の実施の形態としてのデジタルスチルカメラを次の順序で説明する。

1. デジタルスチルカメラの外観
2. デジタルスチルカメラの回路構成
3. DSPの構成
4. 1チャンネル出力時及び2チャンネル出力時の動作
5. 撮影時の動作

【0017】1. デジタルスチルカメラの外観

図1(a)～(f)にデジタルスチルカメラの外観として正面図、右側面図、平面図、左側面図、底面図、背面

図を示す。図1(a)は被写体側に向ける正面図とされ、レンズブロック1が内部に配置されており、被写体側の光線を取り込むことができる。またストロボユニット36としてストロボ発光部が設けられている。

【0018】デジタルスチルカメラの右側面側には図1(b)のようにメインスイッチ33が配置されている。このメインスイッチ33はスライド式の操作子とされ、操作ポジションとしてパワーオフ(OFF)、パワーセーブ(PS)、パワーオン(ON)という3つのポジションが用意され、ユーザーが電源操作として3つのモードを選択する。即ち不使用時にはパワーオフとし、また使用時にはパワーセーブもしくはパワーオンとすればよい。パワーオンとは内部の撮影及び記録再生回路系の全体が電源オンとされるモードであり、また、詳細な説明は省略するが、パワーセーブとは必要に応じて不要箇所の電源がオフとされ、消費電力を削減しながら使用できる電源モードである。

【0019】デジタルスチルカメラの筐体上面には図1(c)のようにリリーススイッチ34及びズーム操作部37が設けられる。リリーススイッチ34はいわゆるシャッタースイッチであり、このリリーススイッチ34を押すことで被写体側の情景が撮影される。ズーム操作部37は手動でズーム状態をワイド側・テレ側に調整する操作子である。

【0020】図1(f)に示すようにデジタルスチルカメラの背面側、即ち使用者に対向する側には、電子ビューファインダー44、LCDユニット71、及びモード／再生操作キー72、PCカードドライバ66が設けられている。このデジタルスチルカメラは記録媒体としてPCカードが用いられ、撮影した画像データはPCカードドライバ66に装填されているPCカードに記録される。

【0021】電子ビューファインダー44には筐体前面側のレンズブロック1から取り込まれた被写体側の情景や、PCカードに記録した再生画像が表示される。またLCD表示部71では各種の動作状態や撮影モード状態、バッテリー残量などの表示が行なわれる。ここでいう撮影モードとは、例えばオートフォーカスのオン／オフ、ストロボのオン／オフ、単一撮影画像再生、連続撮影画像再生など、撮影や再生動作における動作機能のモードのことである。モード／再生操作キー72としては、これらのモードの選択操作や、再生操作を行なうための各種キーが用意されている。

【0022】ユーザーの通常の使用形態としては次のようになる。撮影時には、ユーザーはまず電源操作として、メインスイッチ33をパワーセーブモードもしくはパワーオンモードにセットする。そして電子ビューファインダー44で被写体側の情景を確認しながら撮影対象を探し、リリーススイッチ34を押すことで撮影が行なわれる。即ちリリーススイッチ34を押したタイミング

でレンズブロック1から得られた情景が撮影画像データとして処理され、PCカードに記録される。撮影後にはモード／再生操作キー72から再生操作を行なうことで、PCカードに記録した撮影画像データが読み出され、所定の処理でテレビジョン画像信号形態に変換されて電子ビューファインダー44に再生出力される。

【0023】2. デジタルスチルカメラの回路構成
図2はデジタルスチルカメラの画像信号処理回路系の構成を示したブロック図である。説明上、一点鎖線で囲った部分は、それぞれレンズブロック1、撮影回路ブロック10、カメラコントロールブロック30、EVF(電子ビューファインダー)ブロック40、メモリブロック50、画像処理コントロールブロック60、LCDブロック70と呼ぶこととする。

【0024】レンズブロック1としては例えば12倍ズームレンズが配されたレンズ系2と、レンズ系2におけるフォーカス駆動、ズーム駆動、アイリス調整駆動を行なうレンズドライバ3が設けられている。

【0025】レンズ系2を介して入射された光線は光電変換素子であるCCD固体撮像素子4(以下、単にCCDという)に結像される。CCD4はいわゆるPS-CCD(Progressive Scan CCD Image Sensor; 全画素読出方式CCD)とされている。即ちこのCCD4には図11において説明したように、光電変換素子が垂直及び水平方向にマトリクス状に配置され、2次元の撮像領域が形成されるとともに、例えば水平転送レジスタを2系統備え、垂直奇数ラインの信号電荷と垂直偶数ラインの信号電荷とをそれぞれ別の水平転送レジスタにより同時に水平転送することで、1H(Hは水平走査期間)内に1フレーム分の信号電荷を読み出すようにしたものである(2チャンネル読出方式)。このような方式により、1/60秒の露光周期毎に全ての画素の情報を読み出すことができる。また、CCD4は2チャンネル読出方式の他に1チャンネル読出方式で画像情報を出力することもできる。1チャンネル読出方式とは、一方の水平転送レジスタを用い、1ラインづつ順次読み出していく方式であり、この場合は、2チャンネル読出方式の2倍の時間である1/30秒の期間で1フレームを形成する全ての画素の情報を読み出すことができる。

【0026】このCCD4の駆動及び読み出された信号の処理は撮影回路ブロック10としての回路系により行なわれる。即ちタイミング発生部16はCCD4の駆動のための基準タイミングを垂直／水平ドライバ13及びパイロット信号発生部14に供給する。パイロット信号発生部14はパイロット信号を、また垂直／水平ドライバ13は基準タイミングに基づいてCCD4に対する垂直走査信号、水平走査信号を出力し、CCD4の撮像動作を実行させる。また、垂直走査信号、水平走査信号の設定制御等により1チャンネル読出／2チャンネル読出の切り換えも行なう。

【0027】2チャンネル読出方式実行時において、CCD4から出力される2チャンネルの画像データは、それぞれサンプルホールド/AGC回路11A、11Bに供給される。サンプルホールド/AGC回路11A、11Bでは、まずCDS (Correlated Double Sampling) と呼ばれるサンプル/ホールド動作が行なわれる。これはCCD4の出力としてはプリチャージレベル (黒レベル) とデータレベル (信号レベル) が交互に出力されることになることから、プリチャージレベルとデータレベルを各々別にサンプリングし、その差分をとることで通常の映像信号の状態にするものである。このCDS処理が行なわれた後、2つのチャンネル間でゲインが合わせ込まれ、また後段のA/D変換器12A、12Bのダイナミックレンジに対して適正なレベルとされて、A/D変換器12A、12Bに出力される。サンプルホールド/AGC回路11A、11Bにおけるゲイン値は、ゲイン制御部15からの制御で調整される。A/D変換器12A、12Bは各チャンネルの信号を例えば10ビットのデジタルデータに変換し、DSP (Digital Signal Processor) 18に供給する。

【0028】1チャンネル読出方式が実行される場合においては、CCD4から出力される1チャンネルの画像データは、サンプルホールド/AGC回路11A、A/D変換器12Aで処理されてDSP18に供給されることになる。

【0029】DSP18では2チャンネルもしくは1チャンネルで入力されるデジタル画像データに対して補正処理やホワイトバランス調整、ガンマ補正等の処理を行ない、カラーマトリクス処理でR/G/B信号を抽出する。そしてそのR/G/B信号からY信号生成及び各種Y信号処理、クロマ信号生成及び各種色信号処理を行なって、輝度信号Y、及び色差信号Cr (=R-Y)、Cb (=B-Y) という形態でEVFブロック40及びメモリブロック50に供給する。輝度信号Y、色差信号Cr、Cbのデータ量の比は4:2:2の形態とされる。DSP18における処理のタイミング基準はタイミング発生部16から与えられることで、CCD4からの出力に同期した状態で処理が行なわれる。

【0030】また、シグナルジェネレータ19はいわゆる同期信号発生部とされる。輝度信号Y、及び色差信号Cr、Cbをテレビジョン信号として使用するため、これらの画像信号出力に合わせてシグナルジェネレータ19で垂直同期信号VD、水平同期信号HDが生成され、メモリブロック50に供給される。なお図面上はシグナルジェネレータ19とDSP18を別に記しているが、実際にはシグナルジェネレータ19はDSP18内部の回路系として構成することができる。

【0031】メモリブロック50には、メモリコントローラ51、D-RAM53、54、シグナルジェネレータ52、圧縮/伸長回路55が設けられる。メモリコン

トローラ51はDSP18から供給された輝度信号YをD-RAM53に書き込み、また色差信号Cr、CbをD-RAM54に書き込む。なおD-RAM53、54に代えてS-RAMその他の半導体メモリを用いるようにしてもよい。

【0032】またシグナルジェネレータ52は上述したシグナルジェネレータ19と同様に同期信号発生部とされる。ただし、このシグナルジェネレータ52では、DSP18から垂直同期信号VD、水平同期信号HDが供給されているときは、内部のPLL回路により同期をとったうえで垂直同期信号VD、水平同期信号HDを発生させる。従って、撮影回路ブロック10が動作状態であるとき、つまり撮影時のメモリブロック50の動作は撮影回路ブロック10の動作と同期がとられた状態で行なわれる。またシグナルジェネレータ52からの垂直同期信号VD、水平同期信号HDはEVFブロック40にも供給される。シグナルジェネレータ19が動作をしていない期間で必要な場合は、メモリブロック50やEVFブロック40での処理にはシグナルジェネレータ52からの垂直同期信号VD、水平同期信号HDがそのまま用いられる。

【0033】なお図面上はシグナルジェネレータ52とメモリコントローラ51を別に記しているが、実際にはシグナルジェネレータ52はメモリコントローラ51内部の回路系として構成することができる。

【0034】圧縮/伸長回路55は、D-RAM53、54に記憶された画像データに対して、例えばJPEG方式 (Joint Photographic Experts Group) による圧縮処理を行ったり、また逆に圧縮処理された画像データを元のデータに伸長する動作を行なう。

【0035】EVFブロック40としては、キャラクタジェネレータ41、D/A変換器42、ビデオエンコーダ43、電子ビューファインダー44が設けられている。D/A変換器42はDSP81から供給される輝度信号Y、及び色差信号Cr、Cb、又はメモリコントローラ51によってD-RAM53、54から読み出されて供給される輝度信号Y、及び色差信号Cr、Cbに対してRGBエンコード処理及びデジタル/アナログ変換処理を行ない、アナログ信号としてのRGB画像信号をビデオエンコーダ43に出力する。また、キャラクタジェネレータ41によりキャラクタ画像が発生される場合には、画像信号にキャラクタ画像信号を重畳して出力する。

【0036】ビデオエンコーダ43では入力されたRGB画像信号に対して電子ビューファインダー44での表示のためのエンコード処理を行ない、インターレース方式による電子ビューファインダー44の表示駆動を行なう。このEVFブロックではシグナルジェネレータ52からの垂直同期信号VD、水平同期信号HDが供給されており、撮影動作時にはこの垂直同期信号VD、水平同

期信号HDは撮影回路ブロック10のそれと同期しているため、電子ビューファインダー44において撮影時の画像、つまり被写体側からCCD4によって取り込んだ画像を表示することができる。

【0037】カメラコントロールブロック30は、マイクロコンピュータによるカメラコントローラ31及びEEPROM32が設けられる。カメラコントローラ31は図2の回路系のうち主に撮影動作に関する制御を行なう。また、その制御動作のための各種定数や設定値などがEEPROM32に保持されている。

【0038】カメラコントローラ31は図1に示したメインスイッチ33の操作ポジション（パワーオフ/パワーセーブ/パワーオン）や、リリーススイッチ34の操作、ズーム操作部37の操作を監視している。そしてこれらの操作に応じて所要の制御を行なう。またリセット回路35によりリセットがかけられるように構成されている。

【0039】カメラコントローラ31による制御は制御バスB1を介して行なわれる。例えばズーム操作部37の操作やオートフォーカスモードの設定に応じて、レンズドライバ3に対して動作指示を行ない、レンズ系2におけるレンズ移動等の動作を実行させる。また、撮影時の基準となるタイミング発生をタイミング制御部16に指示し、さらにD/A変換器17を介してゲイン制御部15に、サンプルホールド/AGC回路11A、11Bにおいて設定すべきゲイン値を与える。またバスバッファ20を介してDSP18における各種処理の制御を行なう。さらに、キャラクタジェネレータ41に対して、電子ビューファインダー44で表示すべきキャラクタ発生の指示を与える。またストロボ発光モードとされているときは、リリーススイッチ34の操作に同期してストロボユニット36の駆動も行なう。

【0040】これらの制御に加えて、前述したようにCCD4からの読出方式について1チャンネル読出モード/2チャンネル読出モードの切り換えをタイミング発生部16に対して指示を行なう。また1チャンネル読出モードと2チャンネル読出モードではDSP18における処理が多少異なることとなるが、このためDSP18の動作モードをタイミング発生部16を介して指示することになる。

【0041】画像処理コントロールブロック60としては、画像処理コントローラ61、RAM62、EEPROM63が設けられている。画像処理コントローラ61は図2の回路系のうち主に記録/再生動作に関する制御を行なう。また、その制御動作のための各種定数や設定値などがEEPROM63に保持されている。RAM62は画像処理に用いるワークエリアとされる。

【0042】画像処理コントローラ61は、制御/データバスB2を介してRAM62、EEPROM63、メモリブロック50、EVFブロック40、インターフ

ェース部64、PCカードドライバ66との間で制御信号や画像データの授受を行なう。例えば制御/データバスB2により各部に送信する制御信号により、メモリブロック50におけるD-RAM53、54に保持された画像データを圧縮/伸長回路55で圧縮させ、圧縮された画像データをRAM62において記録フォーマットとして必要なヘッダやインデックス画像等を付加して記録データとし、PCカードドライバ66に供給する。このときPCカードドライバ66に記録動作を指示することで、撮影した画像データのPCカードへの記録が実行されることになる。

【0043】またPCカードドライバ66へPCカード再生動作を指示することで、記録されている撮影画像データを読み出すことができる。そして圧縮/伸長回路55で伸長させた後メモリコントローラ51によりD-RAM53、54に書き込ませ、さらにその画像データをEVFブロック40に供給させることで、撮影した画像を電子ビューファインダー44に表示させることができる。また画像処理コントローラ61は、EVFブロック40に対しては電子ビューファインダー44における表示出力動作のミュート制御を行なうことができる。

【0044】またインターフェース部64は、外部のコンピュータやモニタ機器に対しての撮影画像データの送信を行なうために設けられており、コネクタ65が外部機器と接続される。外部機器に対して撮影画像データの伝送を行なう場合は、画像処理コントローラ61はPCカードドライバ66へPCカード再生動作を指示し、記録されている撮影画像データを読み出す。そして圧縮/伸長回路55で伸長させた後メモリコントローラ51によりD-RAM53、54に書き込ませ、さらにその画像データをインターフェース部64に供給し、外部機器に転送させる。

【0045】LCDブロック70としては図1(f)に示したLCDユニット71及びモード/再生キー72が設けられる。画像処理コントローラ61はモード/再生キー72の操作を監視しており、その操作に応じて上述したような各種モード設定を行なう。また画像処理コントローラ61はLCDユニット71に対して表示データを供給し、表示動作を実行させる。

【0046】画像処理コントローラ61とカメラコントローラ31は、通信バスBTにより相互通信が可能とされ、互いに動作リクエストや各種状態確認を行なうことができるように構成されている。

【0047】時計部67は専用のバッテリーにより常時動作され、現在日時をカウントする部位とされる。日時情報は画像処理コントローラ61に供給され、画像処理コントローラ61は日時情報をLCDユニット71において表示させたり、撮影した画像データに日時データとして付加することなどが可能とされる。

【0048】以上のように構成される本例のデジタルス

チルカメラでは、基本的な動作としては撮影動作と再生動作に大別される。再生動作としてはPCカードに記録した画像を電子ビューファインダー44で表示する動作と、インターフェース部を介してPCカードから再生される画像データを転送する動作を含む。

【0049】撮影動作時には、ユーザーは、レンズブロック1、CCD4、撮影回路ブロック10の動作により取り込まれた画像を電子ビューファインダー44で確認しながら撮影対象を探す。そしてリリーススイッチ34を押すと、そのタイミングで撮影回路ブロック10から出力される画像データがメモリブロック50の処理を介して画像処理コントロールブロック60に供給され、これがPCカードドライバ66でPCカードに記録される。

【0050】PCカードに記録した画像データを電子ビューファインダー44で見たい場合には、ユーザーはモード/再生キー72により再生操作を行なう。すると画像処理コントローラ61の制御により、上述のようにPCカードドライバ66がPCカード再生動作を実行し、その再生されたデータは圧縮/伸長回路55で伸長させた後、メモリコントローラ51を介してEVFブロックに供給され、電子ビューファインダー44に表示される。

【0051】PCカードに記録した画像データを外部機器に転送を行なう場合は、例えば外部機器側からの操作により画像処理コントローラ61の動作制御が行なわれ、上述のようにPCカードドライバ66によって再生させた画像データをメモリブロック50で伸長等の処理を行ない、インターフェース部64から転送出力する。

【0052】3. DSPの構成

DSP18の内部構成を図3、図4に示す。A/D変換器12A、12Bから供給される2チャンネルの画像データは図3の端子81a、81bからDSP18に入力され、デジタルクランプ回路82a、82bに供給される。デジタルクランプ回路82a、82bでクランプ処理された画像データは欠陥画素補正部83で欠陥画素の検出及び補正処理が行なわれ、さらに次段のホワイトバランス部84でホワイトバランス処理が施される。

【0053】次にガンマ処理部85a、85bでガンマ補正処理を行ない、オフセット加算部86a、86bでオフセット値OFSが付加される。そしてクリップ部87a、87bでクリップ処理された後、ラインメモリ部88に入力される。ラインメモリ部88は図4のように構成されている。即ち、1H分のラインメモリ101、102、103、104が設けられ、このラインメモリ101、102、103、104は、ラインメモリ制御部106によって書込/読出動作が制御される。

【0054】スイッチ105は、1チャンネル読出時にT1端子が接続され、2チャンネル読出時にT2端子が接続される。またスイッチ107は6単位のスイッチ素

子部で構成され、2チャンネル読出時にはTU端子が接続されているが、1チャンネル読出時には1H期間ごとにTU端子、TL端子が交互に接続される。

【0055】このラインメモリ部88の動作については後述するが、2チャンネル読出時にはクリップ部87a、87bからのチャンネルCh1、Ch2の画像データ入力についてラインメモリ101、102、103、104を介して出力することで、6ライン分の画像データを画像データL0～L5として出力する。また1チャンネル読出時にはクリップ部87aからのチャンネルCh1の画像データ入力についてラインメモリ101、102、103、104を介して出力することで、5ライン分の画像データを画像データL0～L5として出力する。なお、この場合画像データL4、L5は同一ラインの画像データとなる。

【0056】ラインメモリ部88からの画像データL0～L5は図3のカラープロセス部90及びアパーチャジェネレータ89に供給される。カラープロセス部90は6ラインもしくは5ライン分の画像データからRGBデコード処理を行ない、YCマトリクス部91に対してR/G/B画像信号を出力する。YCマトリクス部91はいわゆるY/Cデコード処理を行なって輝度信号Y、色差信号Cb(=B-Y)、Cr(=R-Y)を出力する。

【0057】輝度信号Yは加算部98に供給される。一方アパーチャジェネレータ89ではアパーチャ成分が生成されるが、これはスライス部95でスライス処理、コンプレス部96で圧縮処理、ネガティブゲイン部97でのネガティブゲイン処理が行なわれ、加算部98に供給される。加算部98で輝度信号Yにアパーチャ成分の加算が行なわれ、続いてニー補正部99でいわゆるニー処理、つまり高輝度部分をスライスせずに圧縮することで階調を保持した状態で高輝度部分をカットする処理を行ない、クリップ部100でクリップ処理することで、端子101aから、DSP18の輝度信号Y出力としてメモリブロック50、EVFブロック40に供給される。

【0058】また色差信号Cb、Crはクロマ抑圧部92、93で、それぞれ高輝度部分、低輝度部分での色消処理が行なわれた後、ブロックバランス部94でブラックバランス処理が施されクリップ部100に供給される。そしてクリップ部100でクリップ処理された後、端子101bから、DSP18の色差信号Cb、Cr出力としてメモリブロック50、EVFブロック40に供給される。

【0059】4. 1チャンネル出力時及び2チャンネル出力時の動作

本例の場合、詳しくは後述するが、撮影動作においてユーザーが電子ビューファインダー44で被写体側の映像をモニタリングしているときはCCD4及びDSP18

が2チャンネル読出モードでの動作を行ない、またレリーズスイッチ34が押されて撮影が行なわれるときはCCD4及びDSP18が1チャンネル読出モードでの動作を行なうこととなる。ここでは1チャンネル読出モード時と2チャンネル読出モード時の動作について説明する。

【0060】CCD4は、前述した図11のようにPS-CCD固体撮像素子とされているが、その画素配列(図11の各センサ部121に相当)は図5(a)のようになっている。即ち1ライン目、3ライン目、5ライン目……という奇数ラインO1、O2、O3……では、それぞれ水平方向にG画素、R画素、G画素、R画素……というように配列され、また2ライン目、4ライン目、6ライン目……という偶数ラインE1、E2、E3……では、それぞれ水平方向にB画素、G画素、B画素、G画素……というように配列されている。

【0061】そして、2チャンネル読出モードの際には、2つの水平転送レジスタ(図11の水平転送レジスタ124a、124b)が、それぞれ奇数ラインと偶数ラインの転送を行なうことになり、即ち図5(b)のように、チャンネルCh1出力として奇数ラインO1、O2、O3……が順次出力され、またこれと同時に、チャンネルCh2出力として偶数ラインE1、E2、E3……が順次出力される。

【0062】このように2チャンネル読出された画像データは上述のようにサンプルホールド/AGC回路11A、11B、A/D変換器12A、12Bを介してDSP18に入力される。そしてDSP18では図3に示したように2チャンネルの入力に対する処理が行なわれるが、この場合、図4に示したラインメモリ部88では2ライン同時の2チャンネルの画像データ入力から6ライン分の画像データL0～L5を得るため、図6に示した動作が行なわれる。

【0063】2チャンネル読出モードの際には、図4のラインメモリ部88においてスイッチ105はT2端子に、またスイッチ107はそれぞれTL端子に固定されている。図6(a)にチャンネルCh1、Ch2として入力される画像データをライン単位で示した。また図6(b)～(e)はラインメモリ101～104の書込/読出動作を示し、また図6(f)はスイッチ107の制御信号を示している。

【0064】チャンネルCh1、Ch2として例えば奇数ラインO3、偶数ラインE3が入力されるタイミングでは、奇数ラインO3がラインメモリ101に、偶数ラインE3がラインメモリ103に書き込まれる。また、この期間にラインメモリ101からは1H前に入力された奇数ラインO2が読み出されており、これがラインメモリ102に書き込まれるとともに、ラインメモリ103からは1H前に入力された偶数ラインE2が読み出されており、これがラインメモリ104に書き込まれる。

さらにこの期間において、ラインメモリ102、104からはさらに1H前に入力された奇数ラインO1、偶数ラインE1がそれぞれ読み出されている。

【0065】スイッチ107がTL端子に接続されているため、ラインメモリ102の出力が画像データL0、ラインメモリ104の出力が画像データL1とされる。またラインメモリ101の出力が画像データL2、ラインメモリ103の出力が画像データL3とされる。さらに、チャンネルCh1の入力が画像データL4、チャンネルCh2の入力が画像データL5となる。従って図6に①と示す期間には、画像データL0～L5として、O1、E1、O2、E2、O3、E3の各ラインの画像データが出力される。このような動作が続けられ、②と示す期間には画像データL0～L5として、O2、E2、O3、E3、O4、E4の各ラインの画像データが、また③と示す期間には画像データL0～L5として、O3、E3、O4、E4、O5、E5の各ラインの画像データが出力される。

【0066】カラープロセス部90及びアパーチャジェネレータ89では、このように6ラインずつ入力される画像データから所定のデコード処理を行なうことになる。そしてEVFブロック40での動作に対応してインターレース方式の画像データとしての輝度信号Y、色差信号Cb、Crを得る。

【0067】1チャンネル読出モードの際には、2つの水平転送レジスタのうち一方の水平転送レジスタ(図11の水平転送レジスタ124a)が用いられ、奇数ラインと偶数ラインを順次転送していくことになり、即ち図5(c)のように、チャンネルCh1出力として奇数ラインO1、偶数ラインE1、奇数ラインO2、偶数ラインE2……というように画像データが順次出力される。

【0068】このように1チャンネル読出された画像データはサンプルホールド/AGC回路11A、A/D変換器12Aを介してDSP18に入力される。そしてDSP18では図3の端子81aからの入力画像データに対して各種処理が行なわれるが、この場合、図4に示したラインメモリ部88では1チャンネルの画像データ入力から5ライン分の画像データL0～L4、L5(=L4)を得るため、図7に示した動作が行なわれる。

【0069】1チャンネル読出モードの際には、図4のラインメモリ部88においてスイッチ105はT1端子に固定される。またスイッチ107は図7(f)に示した制御信号により、1H期間ごとにTU端子、TL端子に切り換えられる。図7(a)にチャンネルCh1として入力される画像データをライン単位で示し、また図7(b)～(e)はラインメモリ101～104の書込/読出動作を示している。

【0070】ラインメモリ制御部106の書込動作制御により、ラインメモリ101、102と、ラインメモリ

103, 104とは、それぞれ1H期間ごとに交互に書込が行なわれることになる。

【0071】チャンネルCh1として例えば奇数ライン07が入力されるタイミングでは、ラインメモリ101、102の書込動作が行なわれ、奇数ライン07がラインメモリ101に書き込まれる。また、この期間にラインメモリ101からは2H前に入力された奇数ライン06が読み出されており、これがラインメモリ102に書き込まれる。ラインメモリ102からは4H前に入力された奇数ライン05が読み出されている。

【0072】一方、この期間ラインメモリ103, 104は書込動作を行なっておらず、ラインメモリ103からは奇数ライン07より1H前に入力されたラインメモリ103に書き込まれた偶数ラインE6が読み出されており、またラインメモリ104からは奇数ライン07より3H前に入力され、1H前に書き込まれた偶数ラインE5が読み出されている。

【0073】この期間は図7(f)の制御信号により、スイッチ107はTL端子に接続されている。従って、ラインメモリ102の出力が画像データL0、ラインメモリ104の出力が画像データL1とされる。またラインメモリ101の出力が画像データL2、ラインメモリ103の出力が画像データL3とされる。さらに、チャンネルCh1の入力が画像データL4及びL5となる。従って図7に④と示す期間には、画像データL0～L5として、O5, E5, O6, E6, O7, (O7)の5ライン分の画像データが出力される。

【0074】次の②と示す期間、即ち奇数ラインE7が入力される期間には、ラインメモリ101, 102は書込動作が行なわれず、ラインメモリ103, 104で書込動作が行なわれる。従って、偶数ラインE7はラインメモリ103に書き込まれ、またラインメモリ103からの読み出される偶数ラインE6はラインメモリ104に書き込まれる。そして、ラインメモリ101からの読出出力は奇数ライン07、ラインメモリ102からの読出出力は奇数ライン06、ラインメモリ103からの読出出力は偶数ラインE6、ラインメモリ104からの読出出力は偶数ラインE5となる。

【0075】この期間には図7(f)の制御信号により、スイッチ107はTU端子に接続されている。従って、ラインメモリ104の出力が画像データL0、ラインメモリ102の出力が画像データL1とされる。またラインメモリ103の出力が画像データL2、ラインメモリ101の出力が画像データL3とされる。さらに、チャンネルCh1の入力が画像データL4及びL5となる。従って図7に⑤と示す期間には、画像データL0～L5として、E5, O6, E6, O7, E7, (E7)の5ライン分の画像データが出力される。

【0076】次の⑥と示す期間には、④期間と同様の動作となり、画像データL0～L5として、O6, E6,

O7, E7, O8, (O8)の各ラインの画像データが出力される。

【0077】カラープロセス部90及びアパーチャージェネレータ89では、このように5ラインずつ入力される画像データから所定のデコード処理を行なうことになる。この場合、PCカードへの記録動作に対応してノンインターレース方式の画像データとしての輝度信号Y、色差信号Cb, Crを得る必要があるが、各ラインは交互に、つまりノンインターレース状態でカラープロセス部90及びアパーチャージェネレータ89に供給されるため、フィールドメモリ等を用いることなく、ノンインターレース方式の画像データとしての輝度信号Y、色差信号Cb, Crを得ることができる。

【0078】5. 撮影時の動作

以上のように、CCD4及びDSP18では1チャンネル読出/2チャンネル読出に対応した動作が切換可能とされているが、以下に撮影動作時における1チャンネル読出/2チャンネル読出の切換制御動作について図8で説明する。

【0079】本例では、撮影動作においてユーザーが電子ビューファインダー44で被写体側の映像をモニタリングしているときはCCD4及びDSP18が2チャンネル読出モードでの動作を行ない、またリリーススイッチ34が押されて撮影が行なわれるときはCCD4及びDSP18が1チャンネル読出モードでの動作を行なうこととなる。

【0080】図8(a)は撮影時の動作処理の基準となる垂直同期パルスを示している。説明上、各垂直同期パルスにより規定される処理期間をV1～V6と呼ぶこととする。図示していないV1期間以前は、ユーザーが電子ビューファインダー44で被写体側の映像をモニタリングしている場合であり、このときは2チャンネル読出モードで動作している。従って垂直同期期間は1/60秒とされ、この垂直同期期間単位でCCD4からの画像データの読出及びDSP18での画像データ生成処理

(Y/C生成処理)が行なわれている。そして、生成された輝度信号Y、色差信号Cb, CrがEVFブロック40に供給され、電子ビューファインダー44においてモニタ出力が実行されている。

【0081】図8(e)にCCD4における露光動作、図8(f)(g)にCCD4におけるチャンネルCh1出力及びチャンネルCh2出力を模式的に示しているが、2チャンネル読出モードにおいては、1/60秒前の期間に露光された際の電荷による画像データ(例えばP1)が、それぞれのチャンネルで各奇数ラインデータ(P1_{od})と各偶数ラインデータ(P1_{ev})が1/60秒に期間に出力されることになる。

【0082】ユーザーがV1期間内のある時点でリリーススイッチ34を操作したとする。カメラコントローラ31は図8(b)のようなリリースパルスによりリー

ズスイッチ34が操作されたことを検出すると、撮影画像の記録動作制御に入る。

【0083】まず図8(c)に示すように、リリースパルスが検出された次の制御期間となるV2期間においてタイミング発生部16に対して1チャンネル読出モードへの切換を指示する信号を出力する。これに応じてタイミング発生部16はCCD4の動作を1チャンネル読出モードに切り換える。このため、垂直同期パルスは次のV3期間から1/30秒周期となり、これによりCCD4は図8(e)のように1/30秒の期間で露光が行なわれ、次の1/30秒の期間で露光された電荷が画像データとして上述した1チャンネル読出モードで読み出される動作に切り換わる。即ち、図8(f)(g)のようにチャンネルCh1のみで奇数ライン及び偶数ラインの画像データが読み出される。

【0084】またタイミング発生部16は、1チャンネル読出モードの指示があった後、次の処理期間であるV3期間において、図8(d)のようにDSP18に対して1チャンネル読出モードへの切換を指示する信号を出力する。このような処理により、読出モードへの切換のための処理時間などを考慮すると、V4期間からが安定した1チャンネル読出モードが実行できる期間と考えることができる。

【0085】そこで、V4期間において露光が行なわれ、次のV5期間においてCCD4から出力される1フレーム分の画像データP4(=全奇数ラインP4_{od}及び全偶数ラインP4_{ev})を、撮影画像データとする。そしてこの場合、1フレーム分の画像データP4における奇数ラインと偶数ラインは交互にDSP18に入力され、従って上述した1チャンネル読出モードにおける動作でY信号/Cb、Cr信号を生成することで、特にフィールドメモリ等を介さなくてもノンインターレース方式の画像データを生成することができる。

【0086】V5期間における画像データ処理が終了したら、撮影画像、即ちPCカードに記録すべき画像データの処理は終了することになる。つまり、ノンインターレース画像データをメモリブロック50に供給し、記録動作処理を実行可能とさせた後は、CCD4~DSP18までは2チャンネル読出モードに戻してよい。そこでカメラコントローラ31は図8(c)のようにタイミング発生部16に対してV5期間内に2チャンネル読出モードに戻す指示を行ない、これに応じてタイミング発生部16は次のV6期間からCCD4の動作を2チャンネル読出モードに切り換える。これによりV5期間に露光された電荷は、V6期間においては2チャンネル読出モードで読み出される。また図8(d)に示すように、DSP18に対して2チャンネル読出モードとしての動作を行なうべく指示を行なう。

【0087】以上のように、CCD4及び撮影回路ブロック10の動作としては、PCカードに記録すべき撮影

画像についての処理を行なうときのみは1チャンネル読出モードにし、それ以外は2チャンネル読出モードとして動作を行なうようにしている。これにより、DSP18の入力段にフィールドメモリを配するなどの構成をとらなくとも、モニタ時にはインターレース画像データを生成して電子ビューファインダー44で表示させ、また撮影操作時にはノンインターレース画像データを生成してメモリブロック50に供給し、所要の処理を行なってPCカードに記録するという動作を実行させることができる。

【0088】また1チャンネル読出モードで動作している期間は、ノンインターレース画像データが生成されるため、そのままEVFブロック40に画像データを供給すると、表示される画像が乱れることになる。そこで図8(h)に示すようにカメラコントローラ31は1チャンネル読出モードとされたV3~V5期間は、電子ビューファインダー44の画像表示をミュートしている。つまりカメラコントローラ31は画像処理コントローラ61に対してミュート処理のリクエストを行ない、画像処理コントローラ61が、電子ビューファインダー44の画像表示ミュート制御を実行する。このように撮影操作時はユーザーにとっては一瞬であるが、電子ビューファインダー44の画像表示がミュートされることで、モニタ画像が乱れた状態となることが防止される。

【0089】以上、実施の形態としてのデジタルスチルカメラについて説明してきたが、本例とは異なる回路構成のデジタルスチルカメラであっても、その回路構成に応じて本発明の要旨となる技術を導入することで、インターレース/ノンインターレースの両方に対応した画像処理を簡単な回路構成で行なうことができる。

【0090】また上記例ではPCカードを記録媒体として用いるデジタルスチルカメラとして説明したが、光ディスク、光磁気ディスク、磁気ディスクなどの他の書込可能な記録媒体を用いたデジタルスチルカメラでも本発明は採用できる。

【0091】

【発明の効果】以上説明したように本発明の撮影装置は、光電変換手段としては、露光された1フレーム分の画像データを2系統の出力によりn期間で読み出す動作と、露光された1フレーム分の画像データを1系統の出力により2n期間で読み出す動作とを切り換えることができるものを用いる。そしてモニタ手段においてモニタ表示を行なう際には、光電変換手段に2系統の画像データ出力動作を実行させ、撮影画像処理手段には、2系統の画像データ入力に応じてモニタ画像データの生成動作を実行させ、また記録手段において記録動作を実行させる際には、光電変換手段に1系統の画像データ出力動作を実行させ、撮影画像処理手段には、1系統の画像データ入力に応じて記録画像データの生成動作を実行させるように構成している。つまり、撮影時には光電変換手段

からライン順次に画像データを読み出させるようにしている。即ち本発明ではメカニカルシャッターを必要とせずにフレーム読出が可能となる光電変換手段を採用することにより耐久性の向上や機構の簡略化を実現すること、及び高画質のフルフレーム撮影が可能となるという効果があり、さらにフィールドメモリを用いない回路系でリアルタイムモニタ用の画像データと記録用の画像データを生成でき、回路構成の大幅な簡略化、及びコストダウンを実現できるという効果がある。

【0092】また光電変換手段に1系統の画像データ出力動作を実行させている間は、モニタ手段の表示出力をミュートすることで、乱れたモニタ画像が表示されることを防止できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態のデジタルスチルカメラの正面図、右側面図、平面図、左側面図、底面図、背面図である。

【図2】実施の形態のデジタルスチルカメラのブロック図である。

【図3】実施の形態のデジタルスチルカメラのDSPのブロック図である。

【図4】実施の形態のデジタルスチルカメラのラインメモリ部のブロック図である。

【図5】実施の形態のCCD読出動作の説明図である。

【図6】実施の形態の2チャンネル読出モード時のラインメモリ部の動作の説明図である。

【図7】実施の形態の1チャンネル読出モード時のラインメモリ部の動作の説明図である。

【図8】実施の形態の撮影時の2チャンネル読出モード

／1チャンネル読出モードの切換動作の説明図である。

【図9】IT型CCD固体撮像素子の説明図である。

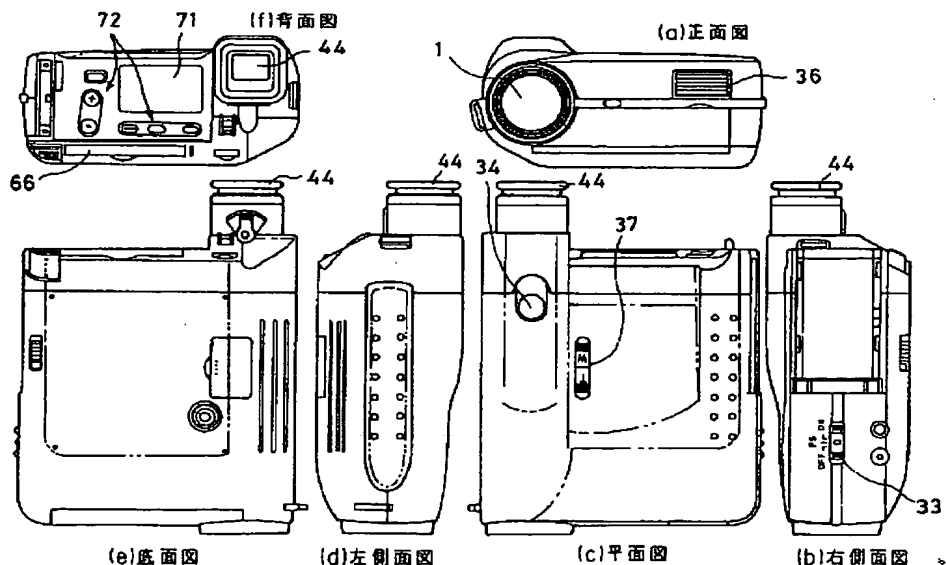
【図10】メカニカルシャッターによる動作の説明図である。

【図11】PS-CCD固体撮像素子の説明図である。

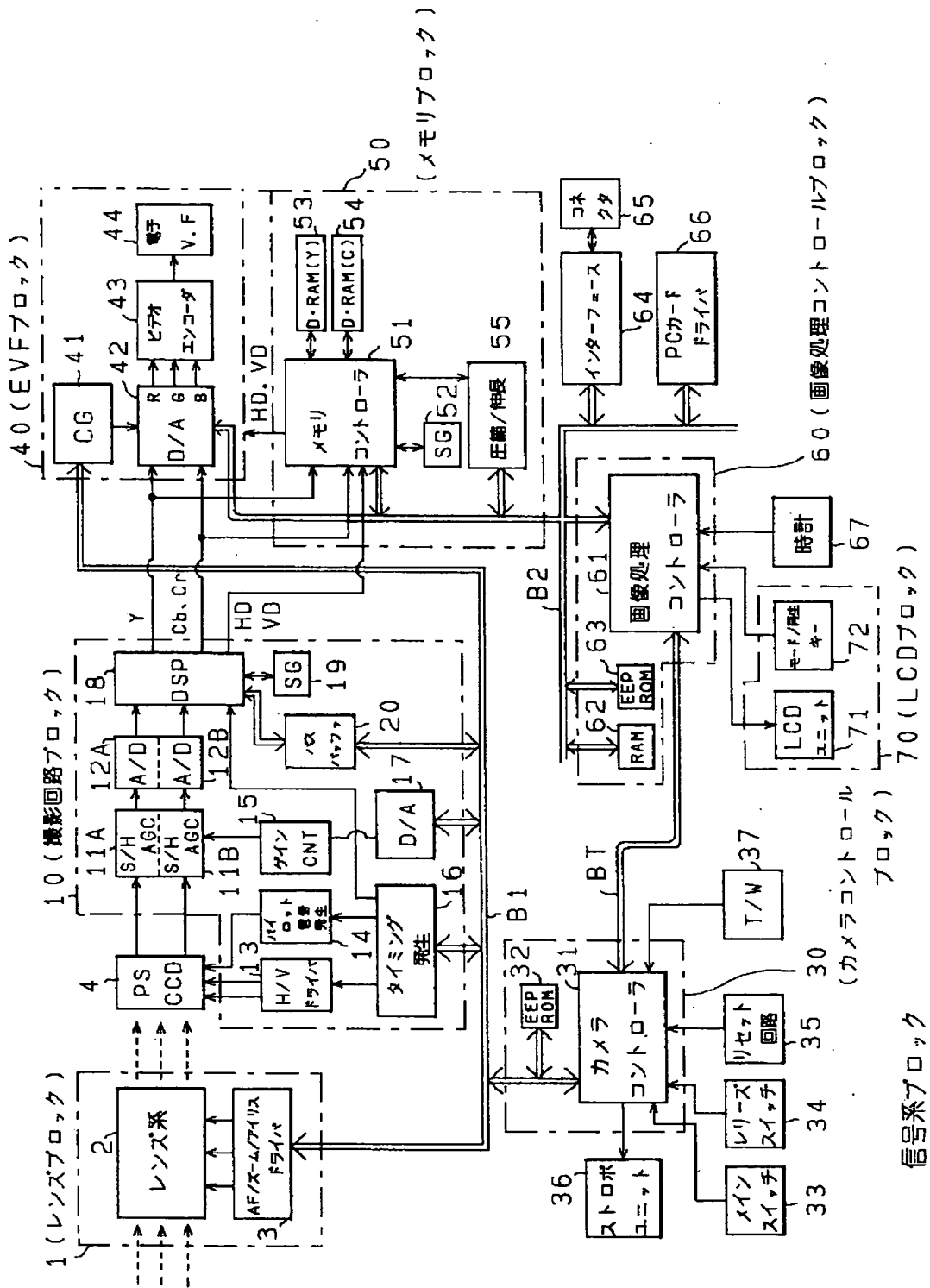
【符号の説明】

1 レンズブロック、2 レンズ系、3 レンズドライバ、4 CCD、10撮影回路ブロック、11A、11B サンプルホールド/AGC回路、12A、12B A/D変換器、13 水平垂直ドライバ、14 パイロット信号発生部、15 ゲイン制御部、16 タイミング発生部、17 D/A変換器、18DSP、19、52 シグナルジェネレータ、30 カメラコントロールブロック、31 カメラコントローラ、32、63 EEPROM、33 メインスイッチ、34 リリーススイッチ、35 リセット回路、36 ストロボユニット、40 EFVブロック40、41 キャラクタジェネレータ、42 D/A変換器、43 ビデオエンコーダ、44 電子ビューファインダー、50 メモリブロック、51 メモリコントローラ、53、54 D-RAM、55 圧縮/伸長回路 60 画像処理コントロールブロック、61 画像処理コントローラ、62 RAM、64 インターフェース部、66 PCカードドライバ、70 LCDブロック、71 LCDユニット、72 モード/再生キー、88ラインメモリ部、89 アパーチャジェネレータ、90 カラープロセス部、101、102、103、104 ラインメモリ、105、107 スイッチ、106 ラインメモリ制御部

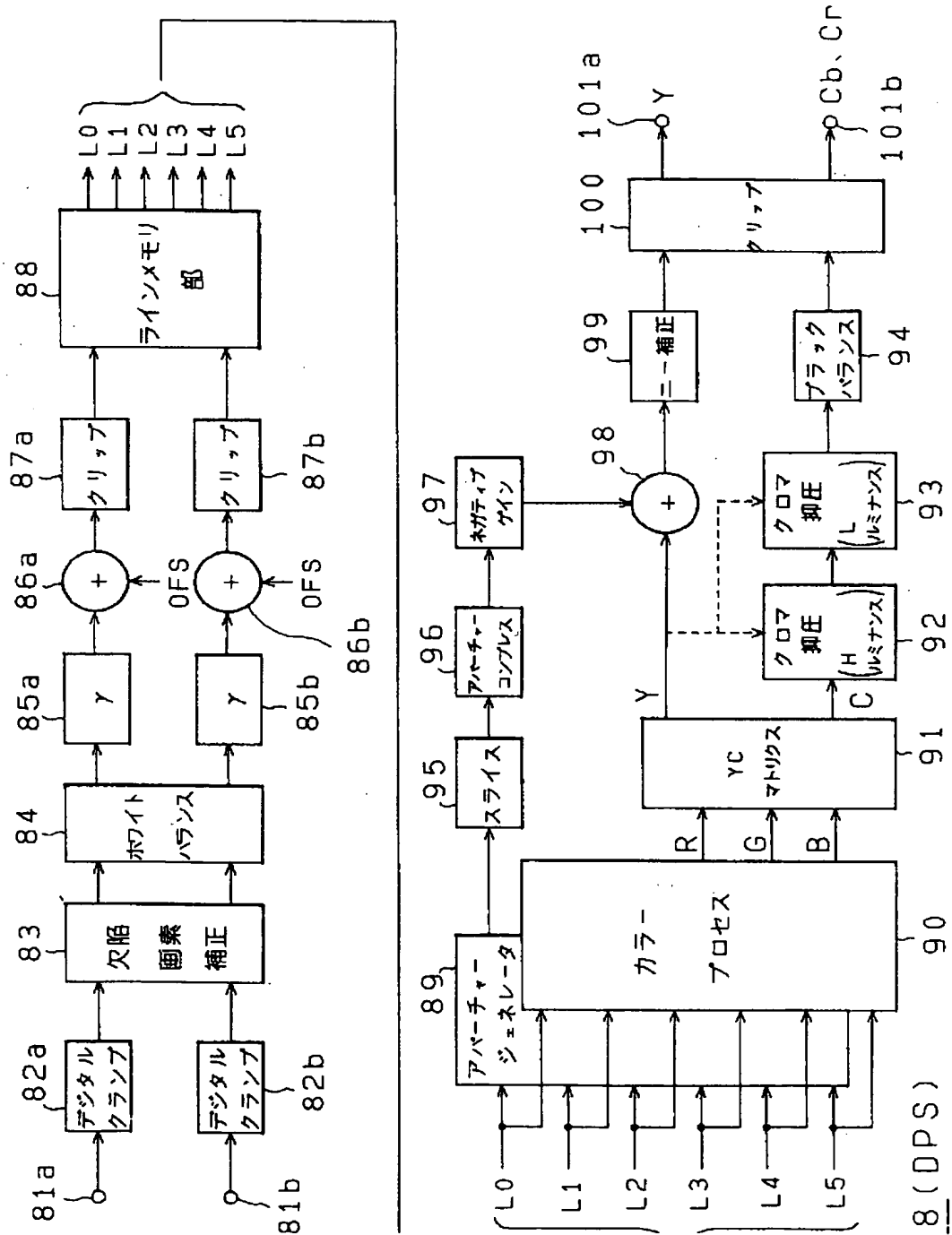
【図1】



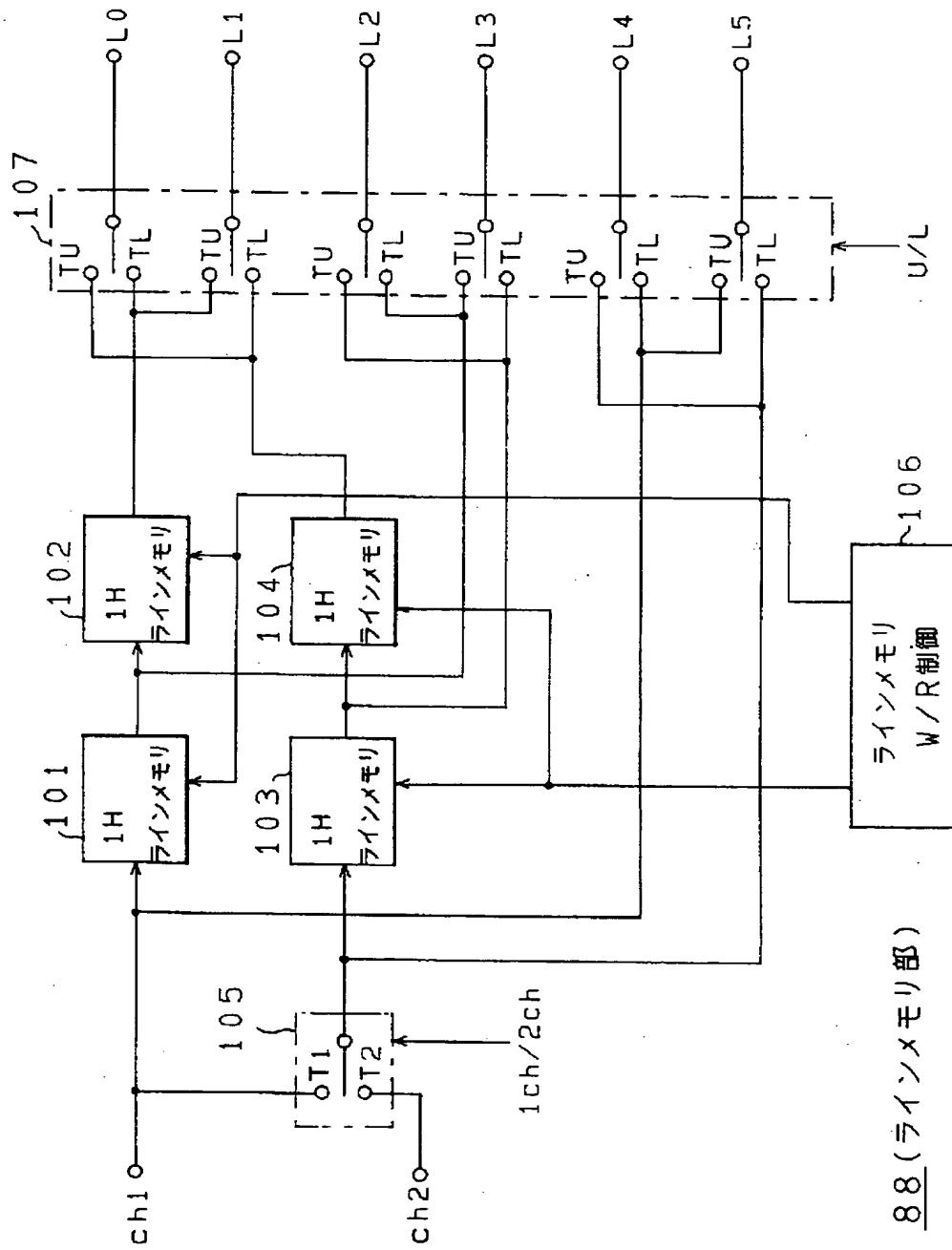
【図2】



【図3】



【図4】



88 (ラインメモリ部)

【図5】

(a)

V	01	G	R	G	R	G	R
E1	B	G	B	G	B	G	
02	G	R	G	R	G	R	
E2	B	G	B	G	B	G	
03	G	R	G	R	G	R	

2チャンネル outputs モード

(b)

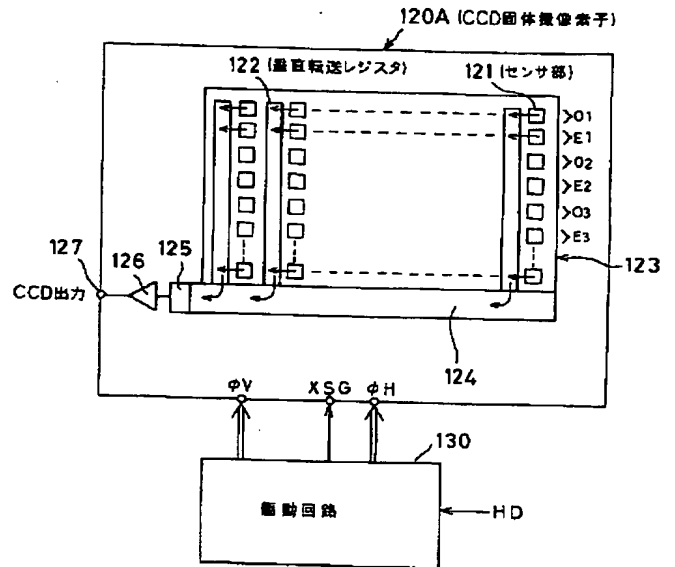
ch1	01	02	03	04	05	----
ch2	E1	E2	E3	E4	E5	----

1チャンネル outputs モード

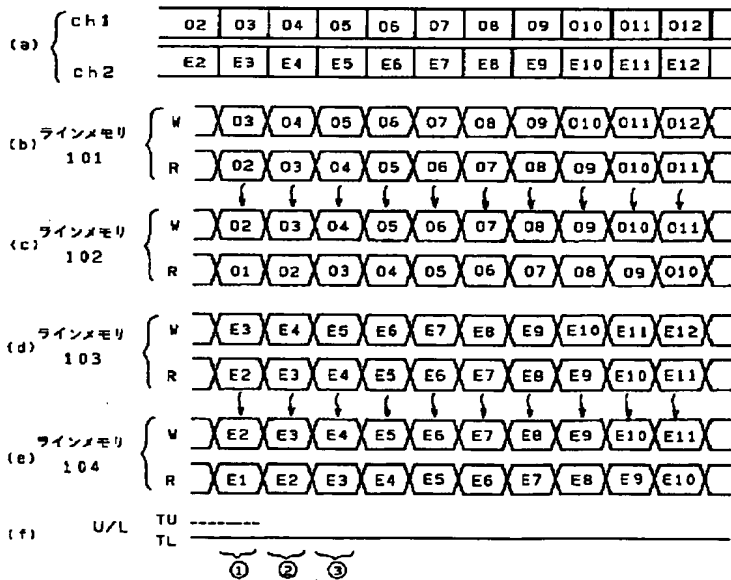
(c)

ch1	01	E1	02	E2	03	E3	04	E4	05	E5	----
-----	----	----	----	----	----	----	----	----	----	----	------

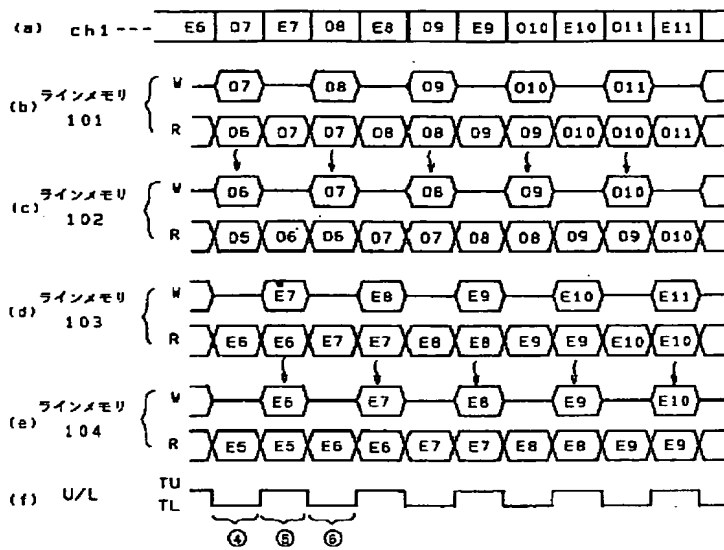
【図9】



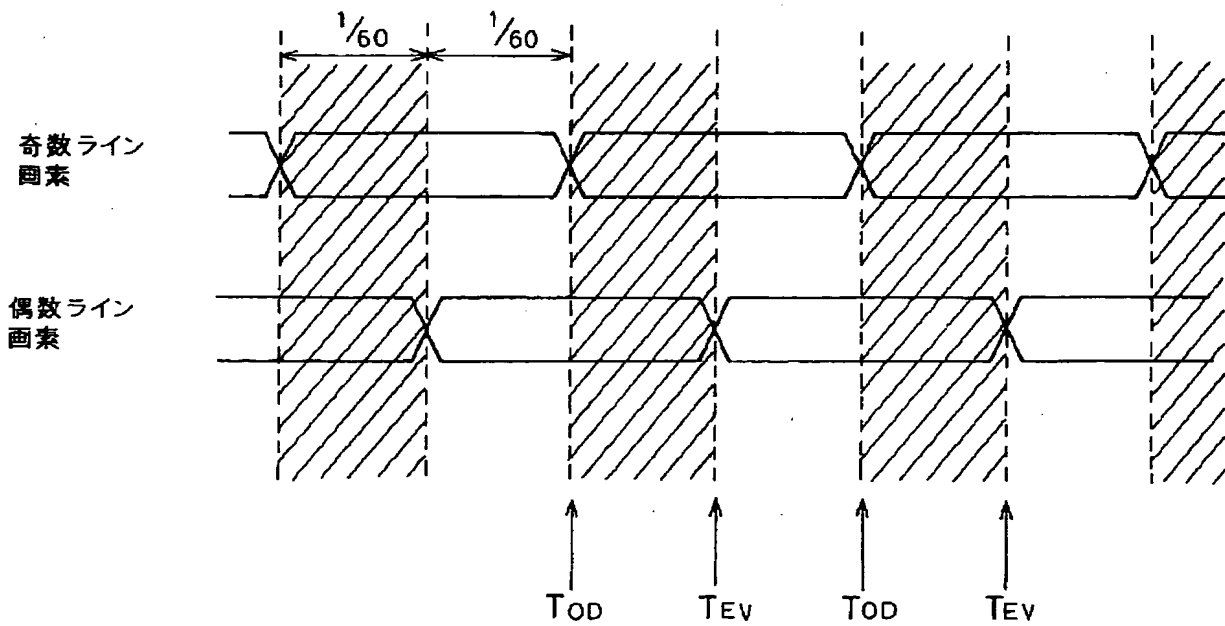
【図6】



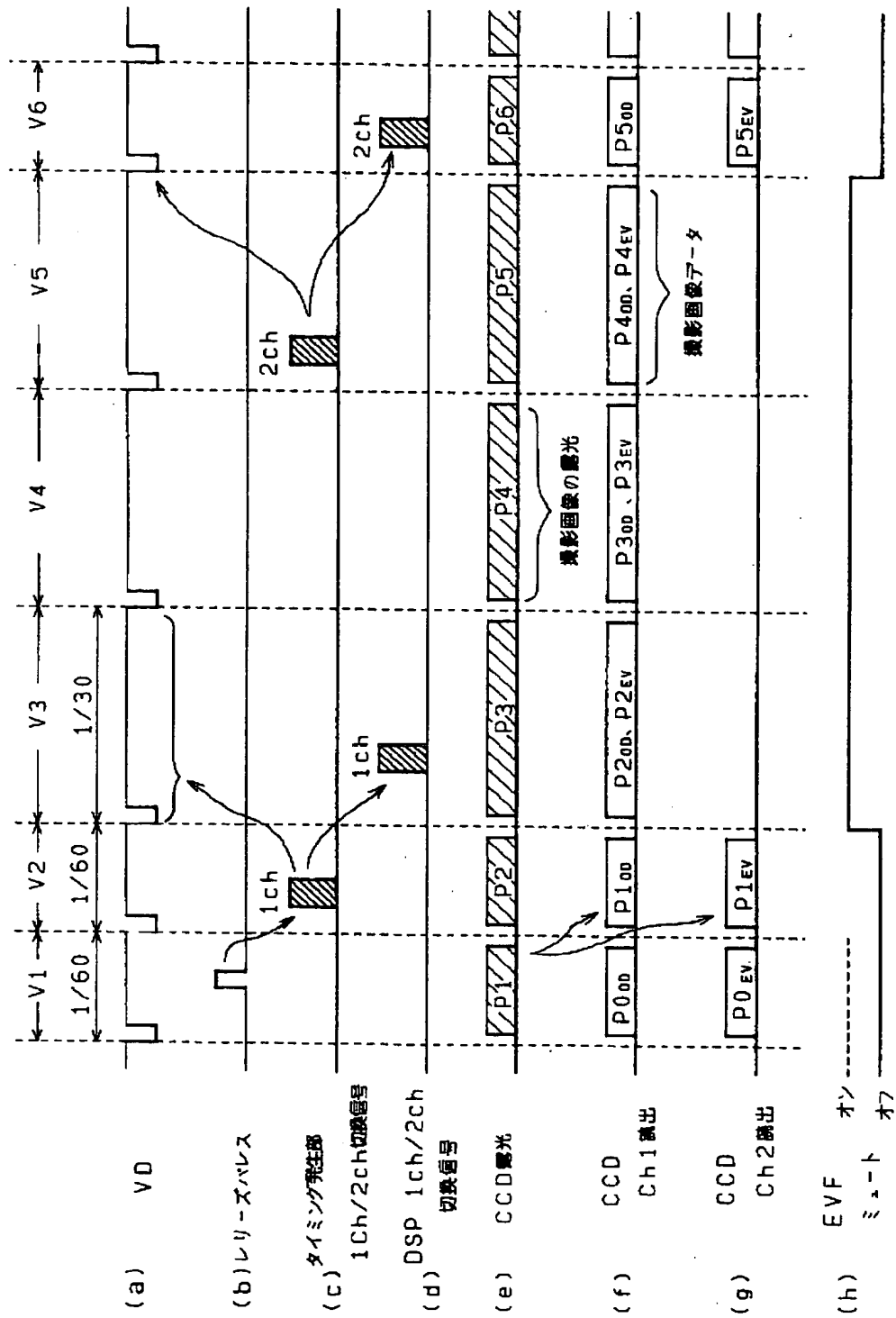
【図7】



【図10】



【図8】



【図 1 1】

